

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-220338

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

H03F 3/193

(21)Application number : 10-018362

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 30.01.1998

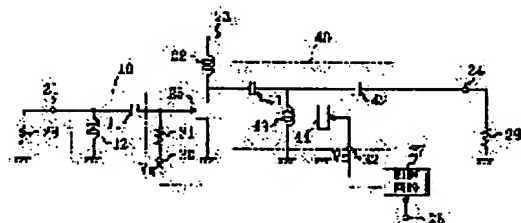
(72)Inventor : YAMAMOTO SHINJI

(54) HIGH FREQUENCY POWER AMPLIFIER

(57)Abstract:

PROBLEM TO BE SOLVED: To control the output power while keeping the high efficiency.

SOLUTION: This power amplifier has an amplifier FET(field effect transistor) 25 whose gate is connected to an input terminal 21 via an input matching circuit 10 with the drain which is connected to a power terminal 23 via a feeding choke inductor 22 and also to an output terminal 24 via an output matching circuit 40 and the source which is grounded respectively. Furthermore, a control circuit 27 is added to control the gate bias voltage of the FET 25 and the impedance characteristic of the circuit 40 based on the output setting signal that is inputted from an output setting terminal.



LEGAL STATUS

[Date of request for examination] 08.05.2002

[Date of sending the examiner's decision of rejection] 26.10.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

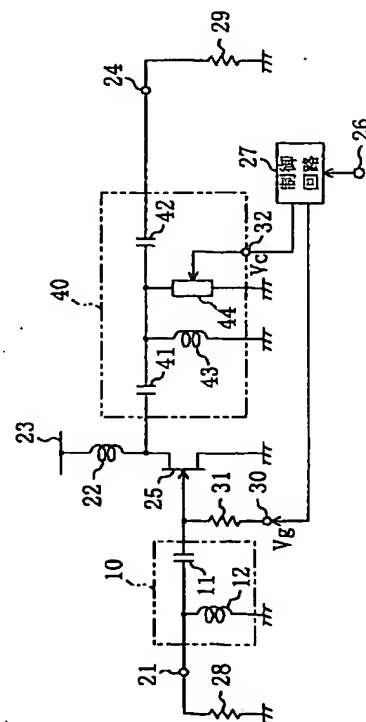
[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

(43)公開日 平成11年(1999)8月10日



【特許請求の範囲】

【請求項 1】 入力された高周波信号を増幅し、増幅された増幅信号を出力する電力増幅素子と、

前記電力増幅素子の入力側に設けられ、信号源側のインピーダンスと前記電力増幅素子のインピーダンスとの整合をとる入力整合回路と、

前記電力増幅素子の出力側に設けられ、前記電力増幅素子のインピーダンスと前記増幅信号を受ける側のインピーダンスとの整合をとる出力整合回路と、

入力された出力設定信号に基づいて前記電力増幅素子と前記出力整合回路とを制御する制御回路とを備えていることを特徴とする高周波電力増幅器。

【請求項 2】 前記制御回路は、前記電力増幅素子におけるアイドル電流の電流量と前記出力整合回路の回路定数とを調整することを特徴とする請求項 1 に記載の高周波電力増幅器。

【請求項 3】 前記制御回路は、前記電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って前記出力整合回路のインピーダンス値の実部を大きくする一方、前記アイドル電流の電流量を増加させる際には電流量の増加に伴って前記出力整合回路のインピーダンス値の実部を小さくすることを特徴とする請求項 1 に記載の高周波電力増幅器。

【請求項 4】 前記制御回路は、前記電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って前記電力増幅素子に対する負荷線の傾きの絶対値を小さくする一方、前記アイドル電流の電流量を増加させる際には電流量の増加に伴って前記負荷線の傾きの絶対値を大きくすることを特徴とする請求項 1 に記載の高周波電力増幅器。

【請求項 5】 それぞれが入力された高周波信号を増幅し、増幅された増幅信号を出力する多段の電力増幅素子と、

前記多段の電力増幅素子のうちの初段の電力増幅素子の入力側に設けられ、信号源側のインピーダンスと前記初段の電力増幅素子のインピーダンスとの整合をとる入力整合回路と、

前記多段の電力増幅素子のうちの初段側の電力増幅素子と終段側の電力増幅素子との間に設けられ、前記初段側の電力増幅素子と前記終段側の電力増幅素子とのインピーダンスの整合をとる段間結合回路と、

前記多段の電力増幅素子のうちの終段の電力増幅素子の出力側に設けられ、前記終段の電力増幅素子のインピーダンスと前記終段の電力増幅素子からの増幅信号を受ける側のインピーダンスとの整合をとる出力整合回路と、入力された出力設定信号に基づいて、少なくとも前記終段の電力増幅素子と前記出力整合回路とを制御する制御回路とを備えていることを特徴とする高周波電力増幅器。

【請求項 6】 前記制御回路は、前記終段の電力増幅素子

子におけるアイドル電流の電流量と前記出力整合回路の回路定数とを調整することを特徴とする請求項 5 に記載の高周波電力増幅器。

【請求項 7】 前記制御回路は、前記終段の電力増幅素子におけるアイドル電流を減少させる際には電流量の減少に伴って前記出力整合回路のインピーダンス値の実部を大きくする一方、前記アイドル電流の電流量を増加させる際には電流量の増加に伴って前記出力整合回路のインピーダンス値の実部を小さくすることを特徴とする請求項 5 に記載の高周波電力増幅器。

【請求項 8】 前記制御回路は、前記終段の電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って前記終段の電力増幅素子に対する負荷線の傾きの絶対値を小さくする一方、前記アイドル電流の電流量を増加させる際には電流量の増加に伴って前記負荷線の傾きの絶対値を大きくすることを特徴とする請求項 5 に記載の高周波電力増幅器。

【請求項 9】 前記電力増幅素子は電界効果型トランジスタ又はバイポーラトランジスタであることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の高周波電力増幅器。

【請求項 10】 前記出力整合回路は、並列接続された可変容量素子を含み、該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の高周波電力増幅器。

【請求項 11】 前記出力整合回路は、互いに直列に接続された複数の容量素子と、一端が前記容量素子同士の接続部に接続され、他端が接地されたスイッチ素子とを含み、

該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の高周波電力増幅器。

【請求項 12】 前記スイッチ素子は P I N ダイオードであることを特徴とする請求項 11 に記載の高周波電力増幅器。

【請求項 13】 前記スイッチ素子は電界効果型トランジスタであることを特徴とする請求項 11 に記載の高周波電力増幅器。

【請求項 14】 前記出力整合回路は、互いに直列に接続された複数のインダクタと、一端が前記インダクタ同士の接続部に接続され、他端が接地されたスイッチ素子とを含み、

該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していることを特徴とする請求項 1 ～ 8 のいずれか 1 項に記載の高周波電力増幅器。

【請求項 15】 前記スイッチ素子は P I N ダイオードであることを特徴とする請求項 14 に記載の高周波電力

増幅器。

【請求項 16】 前記スイッチ素子は電界効果トランジスタであることを特徴とする請求項 14 に記載の高周波電力増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、無線機器等に用いる高効率の高周波電力増幅器に関する。

【0002】

【従来の技術】 無線通信、特に移動体通信においては、各利用者が持つ携帯無線端末機と該携帯無線端末機からの電波を送受して有線回線と接続する基地局とが存在する。しかしながら、両者間の距離は常に同一とは限らないため、両者間の距離が長い場合には携帯無線端末機の出力電力を大きくしなければならず、一方、両者間の距離が短い場合には携帯無線端末機の出力電力を小さくしてもよい。

【0003】 そこで、近年、携帯無線端末機と基地局との距離に応じて出力電力を制御することにより、高周波電力増幅器の消費電力を最小限に抑え、通話時間の延長化と無線機器の小型及び軽量化とを両立しようとするシステムが研究されている。

【0004】 このような出力電力の制御を行なうシステムにおいては、規定された最大出力電力における所定の歪値等のスペックを満たしながら最高効率を得られるように高周波電力増幅器を設計する必要がある、とりわけ、アイドル電流の電流量の設計及び出力整合回路の回路定数の設計は高効率を実現するための重要なファクターとなる。ここで、アイドル電流は、高周波電力増幅器に入力信号が入力されない状態のときに該高周波電力増幅器に流す直流電流をいう。

【0005】 このように、出力電力を制御して消費電力を低減するには、高周波電力増幅器のアイドル電流を減らして高周波電力増幅器の消費電力を減らすことにより低消費電力化を図っている。

【0006】 以下、従来の高周波電力増幅器について図面を参照しながら説明する。

【0007】 図 16 は従来の高周波電力増幅器であって、電力増幅素子に電界効果型トランジスタ (=FET) を用いた回路構成を示している。図 16 に示すように、ゲートが入力整合回路 101 を介して入力端子 102 と接続され、ドレインが給電用のチョークインダクタ 103 を介して電源端子 104 と接続されると共に出力整合回路 105 を介して出力端子 106 と接続され、ソースが接地された増幅用 FET 107 を有している。入力端子 102 には抵抗値が 50Ω の信号源抵抗 108 が接続され、出力端子 106 には抵抗値が 50Ω の負荷抵抗 109 が接続されている。

【0008】 図 17 は一般的な FET の電流-電圧 ($I_{ds}-V_{ds}$) 特性を示している。図 17 において、最大ド

レイン電流 I_{max} はゲート電流が流れない範囲、すなわち、ゲート・バイアス電圧 V_{gs} における FET が正常に動作する範囲内の最大値 V_{g4} を順方向に印加した場合のドレイン電流 I_{ds} を表わしている。また、ドレイン電圧 V_k は最大ドレイン電流 I_{max} を与えるドレイン電圧であって、ニー電圧と呼ばれる。ここで、ドレイン電圧 V_{ds} が 0 [V] から V_k [V] までの間の領域は非飽和領域と呼ばれ、ドレイン電圧 V_{ds} に応じてドレイン電流 I_{ds} が変化する領域である。ドレイン電圧 V_{ds} がニー電圧 V_k を越える領域は飽和領域と呼ばれ、ドレイン電圧 V_{ds} に係わらずドレイン電流 I_{ds} が所定値となる。通常、FET を電力増幅素子として用いる場合には、該 FET を飽和領域で動作させている。

【0009】

【発明が解決しようとする課題】 しかしながら、前記従来の高周波電力増幅器は、アイドル電流を低減させても、その出力電力における最高効率を得られないという問題がある。

【0010】 本発明は、前記従来の問題を解決し、高効率を維持しながら出力電力を制御できるようにすることを目的とする。

【0011】

【課題を解決するための手段】 前記の目的を達成するため、本発明は、高周波電力増幅器において、電力増幅素子のアイドル電流を制御すると共に出力整合回路のインピーダンス特性を制御するものである。

【0012】 本発明に係る第 1 の高周波電力増幅器は、入力された高周波信号を増幅し、増幅された増幅信号を出力する電力増幅素子と、電力増幅素子の入力側に設けられ、信号源側のインピーダンスと電力増幅素子のインピーダンスとの整合をとる入力整合回路と、電力増幅素子の出力側に設けられ、電力増幅素子のインピーダンスと増幅信号を受ける側のインピーダンスとの整合をとる出力整合回路と、入力された出力設定信号に基づいて電力増幅素子と出力整合回路とを制御する制御回路とを備えている。

【0013】 第 1 の高周波電力増幅器によると、入力された出力設定信号に基づいて電力増幅素子と出力整合回路とを制御する制御回路を備えているため、例えば、使用状況に応じて消費電力を低減する場合に、アイドル電流の電流量を少なくするだけでなく、出力整合回路のインピーダンス特性をも変更すれば、効率を維持したまま消費電力を低減できる。

【0014】 第 1 の高周波電力増幅器において、制御回路が、電力増幅素子におけるアイドル電流の電流量と出力整合回路の回路定数とを調整することが好ましい。

【0015】 第 1 の高周波電力増幅器において、制御回路が、電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って出力整合回路のインピーダンス値の実部を大きくする一方、アイドル電流

の電流量を増加させる際には電流量の増加に伴って出力整合回路のインピーダンス値の実部を小さくすることが好ましい。

【0016】第1の高周波電力増幅器において、制御回路が、電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って電力増幅素子に対する負荷線の傾きの絶対値を小さくする一方、アイドル電流の電流量を増加させる際には電流量の増加に伴って負荷線の傾きの絶対値を大きくすることが好ましい。

【0017】本発明に係る第2の高周波電力増幅器は、それぞれが入力された高周波信号を増幅し、増幅された増幅信号を出力する多段の電力増幅素子と、多段の電力増幅素子のうちの初段の電力増幅素子の入力側に設けられ、信号源側のインピーダンスと初段の電力増幅素子のインピーダンスとの整合をとる入力整合回路と、多段の電力増幅素子のうちの初段側の電力増幅素子と終段側の電力増幅素子との間に設けられ、初段側の電力増幅素子と終段側の電力増幅素子とのインピーダンスの整合をとる段間結合回路と、多段の電力増幅素子のうちの終段の電力増幅素子の出力側に設けられ、終段の電力増幅素子のインピーダンスと終段の電力増幅素子からの増幅信号を受ける側のインピーダンスとの整合をとる出力整合回路と、入力された出力設定信号に基づいて、少なくとも終段の電力増幅素子と出力整合回路とを制御する制御回路とを備えている。

【0018】第2の高周波電力増幅器によると、入力された出力設定信号に基づいて、少なくとも終段の電力増幅素子と出力整合回路とを制御する制御回路を備えているため、例えば、使用状況に応じて消費電力を低減する場合に、アイドル電流の電流量を少なくするだけでなく、出力整合回路のインピーダンス特性をも変更すれば、効率を維持したまま消費電力を低減できる。

【0019】第2の高周波電力増幅器において、制御回路が、終段の電力増幅素子におけるアイドル電流の電流量と出力整合回路の回路定数とを調整することが好ましい。

【0020】第2の高周波電力増幅器において、制御回路が、終段の電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って出力整合回路のインピーダンス値の実部を大きくする一方、アイドル電流の電流量を増加させる際には電流量の増加に伴って出力整合回路のインピーダンス値の実部を小さくすることが好ましい。

【0021】第2の高周波電力増幅器において、制御回路が、終段の電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って終段の電力増幅素子に対する負荷線の傾きの絶対値を小さくする一方、アイドル電流の電流量を増加させる際には電流量の増加に伴って負荷線の傾きの絶対値を大きくすることが好ましい。

【0022】第1及び第2の高周波電力増幅器において、電力増幅素子が電界効果型トランジスタ又はバイポーラトランジスタであることが好ましい。

【0023】第1及び第2の高周波電力増幅器において、出力整合回路が、並列接続された可変容量素子を含み、該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していることが好ましい。

【0024】第1及び第2の高周波電力増幅器において、出力整合回路が、互いに直列に接続された複数の容量素子と、一端が容量素子同士の接続部に接続され、他端が接地されたスイッチ素子とを含み、該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していることが好ましい。

【0025】第1及び第2の高周波電力増幅器において、出力整合回路が、互いに直列に接続された複数のインダクタと、一端がインダクタ同士の接続部に接続され、他端が接地されたスイッチ素子とを含み、該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していることが好ましい。

【0026】第1及び第2の高周波電力増幅器において、スイッチ素子がPINダイオードであることが好ましい。

【0027】第1及び第2の高周波電力増幅器において、スイッチ素子が電界効果トランジスタであることが好ましい。

【0028】

【発明の実施の形態】本願発明者は、高周波電力増幅器に対して高効率を維持しながら出力電力を低減させる方法について種々検討を重ねた結果、以下の知見を得ている。

【0029】まず、図17に示す $I_{ds}-V_{ds}$ 特性を持つFETを用いて、図16に示す従来の高周波電力増幅器をA級動作させる場合について考える。A級動作において最高効率を実現するためには、アイドル電流を最大ドレイン電流 I_{max} の2分の1に設定するため、図17に示すように、動作点を A_1 に設定する。すなわち、動作点を、 $V_{ds}=V_{dd}$ 、 $I_{ds}=I_{max}/2$ に設定する。このとき、効率を最大とするには、動作点 A_1 を通る第1の負荷線 A_L の傾きを $I_{max}/(2(V_{dd}-V_k))$ に設定すればよい。

【0030】このとき、出力電力は交流電流と交流電圧との積で表わされるため、図17に示す交流電流波形 A_i と交流電圧波形 A_v との積になる。この際のドレイン効率(=出力電力/消費する直流電力)は $1/2 \cdot (1 - V_k/V_{dd}) \times 100$ [%] で表わされる。 $V_k \ll V_{dd}$ の理想的な状態においては、理想ドレイン効率の値は50%を実現できるが、実際には二電圧 V_k は1V程度であり、ドレイン効率は必ず50%よりも低くなる。また、電源電圧 V_{dd} が二電圧 V_k に近づく程、ド

レイン効率が低くなる。

【0031】次に、アイドル電流を前述の2分の1とする場合を考える。この場合は、動作点を B_1 に設定する。すなわち、動作点を、 $V_{ds}=V_{dd}$ 、 $I_{ds}=I_{max}/4$ に設定する。ここで、第2の負荷線 B_L の傾きを第1の負荷線 A_L と同一とすると、出力電力は、この場合には、交流電流波形 B_i ×交流電圧波形 B_v となって、それぞれの振幅が前述の2分の1ずつに減じてしまい、その結果、出力電力は4分の1となってしまう。一方、消費する直流電力は元の2分の1であるため、結局、ドレイン効率は、 $V_k < V_{dd}$ の理想状態であっても前述の50%の2分の1、すなわち25%に低下してしまう。

【0032】なお、出力電力を2分の1とするためには、アイドル電流を $(\sqrt{2}/4) I_{max}$ に設定する必要があるが、この場合は $V_k < V_{dd}$ の理想状態であっても、ドレイン効率は35%となり50%に達することはない。

【0033】以下、本願の目的とする、出力電力を2分の1に低下させた場合においても、A級動作の理想ドレイン効率である50%を実現する方法を図1に基づいて説明する。

【0034】まず、図1に示すように、FETの動作点を動作点 B_1 に設定したまま、第2の負荷線 B_L の傾きを第1の負荷線 A_L の傾きの2分の1である $I_{max}/(4(V_{dd}-V_k))$ に変える。ここで、第2の負荷線 B_L の傾きを変えるということは、FETの負荷、すなわち、出力側に接続される抵抗の値を変えることに他ならず、第2の負荷線 B_L の傾きを第1の負荷線 A_L の傾きの2分の1とすれば、負荷は2倍となる。この場合の交流電流は交流電流波形 B_i で表わされ、その振幅は交流電流波形 A_i の2分の1となるが、一方、交流電圧波形は第2の負荷線 B_L に示すようにその傾きを変えているため、交流電圧波形 A_v のままである。

【0035】従って、出力電力は交流電流波形 B_i ×交流電圧波形 A_v で求まり、交流電圧波形 A_v の振幅は変化せずに交流電流波形 B_i の振幅のみが2分の1に減じるため、出力電力は2分の1となる。同時に消費する直流電力は2分の1であるため、ドレイン効率は動作点 A_1 の場合と同一の値の50%を維持できる。

【0036】なお、出力電力を2分の1に低下させる場合を例に挙げたが、任意の出力電力に対して、アイドル電流の電流量と負荷線の傾きとをそれぞれ変化させることにより、その出力電力における最高効率を実現できる。

【0037】また、負荷線を直線として、すなわち、負荷が抵抗成分のみの純抵抗であるとして説明したが、高周波電力増幅器の負荷は、実数成分(R :抵抗成分)と虚数成分(X :キャパシタ成分又はインダクタ成分)とからなる場合がある。この場合は、負荷は負荷インピーダンスと呼ばれ、インピーダンス Z は $R+jX$ (但し、

$j^2=-1$ である。)と表わすことができる。また、この場合は、負荷線は曲線となるが、平均の傾きは、ほぼ抵抗成分と相関を持つため、前述の概念を適用できる。

【0038】以上説明したように、高周波電力増幅器において、出力電力に応じてアイドル電流の電流量と負荷インピーダンスの値とを所定の関係に基づいて連動させながら変化させることにより、任意の出力電力において最高効率を得ることができる。

【0039】本発明はこの原理に基づき、出力電力を制御する高周波電力増幅器において高効率を維持しながら出力電力を変更できるようにする。

【0040】以下、高周波電力増幅器の一般的な設計手法について図面を参照しながら説明する。図16に示す1段構成の高周波電力増幅器においては、通常、入力端子102及び出力端子106に接続されるインピーダンスは50Ωである。また、増幅用FET107の入カインピーダンス S_{11} 及び出カインピーダンス S_{22} は共に虚数成分を含み、実数成分(抵抗成分)も一般的には50Ωではないため、入力側又は出力側に直接50Ωを接続すると、入力側又は出力側で高周波信号が反射してしまい、信号源の電力が増幅されない。入力整合回路101は入カインピーダンスの50Ωを増幅用FET107の入カインピーダンス S_{11} に変換し、また、出力整合回路105は出カインピーダンス S_{22} を50Ωに変換するため、効率良く電力を取り出すことができる。

【0041】ここで、増幅用FET107側からみた入力側、すなわち、入力整合回路101及び信号源抵抗108のインピーダンスを Z_S 、増幅用FET107側からみた出力側、すなわち、出力整合回路105及び負荷抵抗109のインピーダンスを Z_L とすると、増幅用FET107の利得が最大となる整合条件は、 Z_S 、 Z_L をそれぞれ入カインピーダンス S_{11} 、出カインピーダンス S_{22} の共役整合と等しくする場合である。すなわち、 $Z_S = (S_{11})^*$ 及び $Z_L = (S_{22})^*$ (但し、記号*は $(R+jX)^* = R-jX$ となる関係を表わす。)である。

【0042】ところで、実際の高周波電力増幅器においては、他の無線機器に妨害を与えないように歪量を所定値以下にすることが要求され、歪量が小さい程望ましい。また、消費電流は少ない方が好ましいが、利得が小さくは無意味なため、効率で評価することが多い。この効率は利得が大きく且つ消費電流が少ない程高くなる。

【0043】しかしながら、一般には、利得が最大となる整合条件、歪量が最小となる整合条件及び効率が最大となる整合条件はそれぞれ異なっており、高周波電力増幅器の整合をこれらの各整合条件のトレードオフから決定する必要があるため、最適インピーダンスを Z_{sopt} 、 Z_{lopt} とすると、実際の高周波電力増幅器を設計する際には、これら最適インピーダンス Z_{sopt} 、 Z_{lopt} とそれ

それぞれ対応する入力インピーダンス S_{11} 、出力インピーダンス S_{22} の共役整合とを等しくしない($Z_{\text{sopt}} \neq (S_{11})^*$ 、 $Z_{\text{lopt}} \neq (S_{22})^*$)ことが多い。

【0044】(第1の実施形態)以下、本発明の第1の実施形態について図面を参照しながら説明する。

【0045】図2は本発明の第1の実施形態に係る1段構成の高周波電力増幅器の回路構成を示している。図2に示すように、ゲートが入力整合回路10を介して入力端子21と接続され、ドレインが給電用のチョークインダクタ22を介して電源端子23と接続されると共に出力整合回路40を介して出力端子24と接続され、ソースが接地された増幅用FET25と、出力設定端子26に出力設定信号を受け、入力された出力設定信号に基づいて、増幅用FET25のゲートバイアス電圧と出力整合回路40のインピーダンス特性とを調整する制御回路27とを備えている。

【0046】入力端子21には抵抗値が 50Ω の信号源抵抗28が接続され、出力端子24には抵抗値が 50Ω の負荷抵抗29が接続されている。

【0047】入力整合回路10は、入力端子21と増幅用FET25のゲートとの間に、それぞれ、直列接続された第1のキャパシタ11と並列接続された第1のインダクタ12とを有している。

【0048】出力整合回路40は、増幅用FET25のドレインと出力端子24との間に、それぞれ、互いに直列接続された第2のキャパシタ41及び第3のキャパシタ42と、互いに並列接続された第2のインダクタ43及びインピーダンス変更回路としての容量可変回路44とを有している。

【0049】制御回路27は、出力設定端子26から入力された出力設定信号の設定値に基づいて、その時の出力電力における効率が最高となるようにゲートバイアス端子30に対してゲート制御電圧 V_g を印加することにより、増幅用FET25のアイドル電流の電流量を変更する。ゲートバイアス端子30に印加されたゲート制御電圧 V_g は、抵抗値が数 $k\Omega$ 程度で一端が該ゲートバイアス端子30に接続され他端が増幅用FET25のゲートに接続されたゲートバイアス抵抗31を介して増幅用FET25のゲートに入力される。

【0050】同時に、制御回路27は、入力された電力情報(電力量)に基づいて、その時の出力電力における効率が最高となるように出力整合回路40のインピーダンス制御端子32に対してインピーダンス制御電圧 V_c を印加することにより、容量可変回路44の容量値を変更する。

【0051】この結果、出力整合回路40のインピーダンス値が最適化され、高効率を維持できるアイドル電流と容量可変回路44の容量値とを決定できる。

【0052】以下、前記のように構成された高周波電力増幅器の設計例について図面を参照しながら説明する。

【0053】まず、電力増幅素子としての増幅用FET25に、半導体材料にGaAsを用い、ゲート長が $0.8\mu\text{m}$ でゲート幅が 8mm のMESFETを採用し、動作周波数 f を 1.96GHz 、電源電圧 V_{dd} を 3.5V とする。変調方式にはデジタル方式の $\pi/4$ Shift QPSKを用いる。FETの歪量を隣接チャンネル漏洩電力ACPRの 600kHz 離調で表わし、歪量の仕様を -60dBc 以下とする。ここで、隣接チャンネル漏洩電力ACPRは歪量が小さくなる程その値が小さくなる。

【0054】また、このFETにおいては、出力電力 P_{out} を 25.0dBm で且つアイドル電流 I_{idle} を 200mA とすると、そのときの最適インピーダンス Z_{sopt} 、 Z_{lopt} は、それぞれ、 $Z_{\text{soptA}} = 7.1 + j6.3$

$[\Omega]$ 、 $Z_{\text{loptA}} = 8.4 + j3.0$ $[\Omega]$ である。この場合の該FETの高周波特性は、利得Gainが 10.2dB 、消費電流 I_{ds} が 246.8mA 、電力付加効率PAE(=(出力電力-入力電力)/消費する直流電力)が 32.9% 及び隣接チャンネル漏洩電力ACPRが -60.8dBc である。

【0055】なお、電力付加効率PAEは入力電力の値を減ずるため、必ずドレイン効率よりも小さな値となり、この場合、電源電圧 V_{dd} が 3.5V でニー電圧 V_k が約 1V であるため、電力付加効率PAEは 50% に達することはない。

【0056】また、アイドル電流 I_{idle} が変動しても、最適入力インピーダンス Z_{sopt} は、ほぼ所定の値をとるため、以下、最適入力インピーダンス Z_{sopt} の値を $Z_{\text{sopt}} = 7.1 + j6.3$ $[\Omega]$ とする。

【0057】次に、出力電力 P_{out} を前述の2分の1の値の 22.0dBm で且つアイドル電流 I_{idle} を前述の2分の1の値の 100mA とし、さらに、負荷(出力)インピーダンス Z の値を変更する。図3は負荷インピーダンスの値を変更させる経路を示しており、図3に示すように、負荷インピーダンス Z を最適負荷インピーダンス Z_{loptA} から Z_{LB} 方向に移動させて、高周波電力増幅器の高周波特性の変化を調べる。これは、図1に示した第1の負荷線 A_L を第2の負荷線 B_L に移動させることに相当する。なお、抵抗成分だけでなく虚数成分を変化させる理由は後述する。

【0058】図4(a)は負荷インピーダンス Z を最適負荷インピーダンス Z_{loptA} から Z_{LB} 方向に移動させた場合の利得Gain及びドレイン電流 I_{ds} の変化のようすを表わし、図4(b)は負荷インピーダンス Z を最適負荷インピーダンス Z_{loptA} から Z_{LB} 方向に移動させた場合の電力付加効率PAE及び隣接チャンネル漏洩電力ACPRの変化のようすを表わしている。ここで、横軸は負荷インピーダンス Z の抵抗成分 R を表わしている。図4(a)に示すように、抵抗成分を増していくと利得Gainが低下するが、ドレイン電流 I_{ds} は抵抗成分が

18Ωのときに最小値を示しており、従って、図4(b)に示すように、電力付加効率PAEは抵抗成分が18Ωのときに最大値を示している。これにより、出力電力が22.0dBmの場合の最適負荷インピーダンス Z_{LoptB} の値を $18.0 + j8.5 [\Omega]$ とすればよいことが分かる。ここで、実数成分の18Ωという値は、元の出力電力 P_{out} における最適負荷インピーダンスの実数成分8.4Ωのほぼ2倍となっており、前に説明した検討結果とよく一致している。

【0059】図5は本実施形態に係る高周波電力増幅器における高周波特性の一覧であって、上段は出力電力を低下させる前の元の特性を示し、中断は出力電力を低下させた後の特性を示し、さらに、下段はアイドル電流 I_{idle} のみ元の値の2分の1の100mAとし、負荷インピーダンスを変更せずに元の $8.4 + j3.0 [\Omega]$ のままとした場合の特性を示している。

【0060】図5の中段に示すように、アイドル電流 I_{idle} の電流量を2分の1とし且つ負荷インピーダンスの値をほぼ2倍と大きくした場合は、利得Gainが9.0dB、消費電流 I_{ds} が125.4mA、電力付加効率PAEが31.8%、隣接チャンネル漏洩電力ACPRが-63.4dBcであり、下段に示した単純にアイドル電流 I_{idle} のみを2分の1とした場合と比べてドレイン電流 I_{ds} が約40mAも削減され、電力付加効率PAEが約7%向上していることが分かる。なお、歪量に関しては隣接チャンネル漏洩電力ACPRに示されるように-63.4dBcであって、増加は認められない。

【0061】このように、本実施形態によると、アイドル電流 I_{idle} を単に低減させる場合と比べて、アイドル電流 I_{idle} の変化に合わせて負荷インピーダンスも変化させると、利得Gainが若干低下するものの、歪が増加せず、アイドル電流 I_{idle} の低減と電力付加効率PAEの向上とを同時に実現できる。

【0062】以下、アイドル電流 I_{idle} と負荷インピーダンスとをどのように連動して変化させるかについて図面を参照しながら説明する。

【0063】図6は動作周波数 f が1.96GHzの場合の入力整合回路10の設計用チャートを示しており、図6において、図2に示す構成要素と対応する曲線には同一の符号を付している。前述したように、出力電力 P_{out} が25.0dBmの場合も出力電力 P_{out} が22.0dBmの場合も共に、最適入力インピーダンス Z_{SoptA} は $7.1 + j6.3 [\Omega]$ であるため、入力整合回路の回路定数は双方の場合で同一としてよく、第1のキャパシタ11の値は7.35pFで、第1のインダクタ12の値は1.62nHとなる。

【0064】図7は動作周波数 f が1.96GHzの場合の出力整合回路40の設計用チャートを示しており、図7において、図2に示す構成要素と対応する曲線には同一の符号を付している。前述したように、出力電力 P_{out}

が25.0dBmで且つアイドル電流 I_{idle} が200mAの場合は、最適負荷インピーダンス Z_{LoptA} が $8.4 + j3.0 [\Omega]$ であり、このときの第2のキャパシタ41を5.0pF、第3のキャパシタ42を10.0pF、第2のインダクタ43を1.29nHとすると、容量可変回路44の容量値は1.30pFとなる。

【0065】一方、出力電力 P_{out} が22.0dBmで且つアイドル電流 I_{idle} が100mAの場合は、容量可変回路44の容量値を2.68pFに変更すれば、負荷インピーダンスの値は $Z_{\text{LoptB}} = 18.0 + j8.5 [\Omega]$ となる。

【0066】なお、図3において、負荷インピーダンスの変化の経路を実数成分だけでなく虚数成分をも変化させていたが、これは、図7に示すように、出力整合回路40の容量可変回路44の容量値のみ変化させるのが最も容易な方法であり、この場合には、負荷インピーダンスの経路が図3のようになるためである。

【0067】容量可変回路44の容量値を1.30pFから2.68pFに変える程度の変更であれば、容量可変回路44に可変容量素子としてのバリキャップ・キャパシタ（以下、バリキャップと呼ぶ。）を用いることができる。バリキャップは、本来、ダイオード素子であるが、正負の電極に印加する逆バイアス電圧に比例する線形性に優れた容量変化を得ることができる。

【0068】図8は本実施形態に係る容量可変回路44の具体的な回路構成を示している。図8に示すように、キャパシタ51、バリキャップ52及び抵抗53を有しており、キャパシタ51の一方の電極とバリキャップ52の一方の電極とが共通接続部において互いに直列に接続されると共に、抵抗53は一端が共通接続部と接続され、他端がインピーダンス制御端子32と接続されている。キャパシタ51の他方の電極は増幅用FET25側に接続され、バリキャップ52の他方の電極は接地されている。抵抗53の抵抗値は10kΩ程度であり、インピーダンス制御端子32側へのリーク電流を阻止している。ここでは、キャパシタ51の容量値をバリキャップ52の容量値よりも十分に大きくする必要があり、この場合は、容量値を100pF程度とすればよい。

【0069】図2に示す制御回路27から出力されるインピーダンス制御電圧 V_c によってバリキャップ52の容量値を変更する。すなわち、前述したように、出力電力 P_{out} が25.0dBmで且つアイドル電流 I_{idle} が200mAの場合は、キャパシタ51及びバリキャップ52を併せた容量値が1.30pFとなるように、インピーダンス制御電圧 V_c を制御すればよく、出力電力 P_{out} が22.0dBmで且つアイドル電流 I_{idle} が100mAの場合は、キャパシタ51及びバリキャップ52を併せた容量値が2.68pFとなるように、インピーダンス制御電圧 V_c を制御すればよい。

【0070】なお、図2に示す容量可変回路44には大きな振幅の交流電圧が印加されるため、この大きな電圧振幅に対して歪が生じないようなバリキャップ52を用いることによって、容量可変回路44に生じる歪を無視できる程度に抑えることができる。

【0071】以上説明したように、制御回路27が増幅用FET25に対するアイドル電流を制御すると同時に容量可変回路44で負荷インピーダンスを制御することにより、出力電力に応じてアイドル電流と負荷インピーダンスとの値を連動して変化させるため、例えば、出力電力が25.0dBmであっても、また、その2分の1の値の22.0dBmであっても、それぞれの出力電力における最高効率を実現できる。

【0072】なお、本実施形態においては、電力増幅素子の動作をA級動作として説明したが、これに限らず、AB級やB級動作であってもよい。

【0073】また、便宜上、出力電力が25.0dBmの場合とその2分の1の22.0dBmの場合とを説明したが、出力電力の変化のさせ方は多段階であってもよく、アイドル電流と負荷インピーダンス値とを効率が維持されるように変化させればよい。

【0074】また、低減した出力電力を復旧させる場合には、前述の説明とは逆に、アイドル電流の所定量を増加させると共に増加した電流量の増分に応じて負荷インピーダンスの値を減らして最適化すればよい。

【0075】また、本実施形態においては、電力増幅素子にGaAs MESFETを用いたが、これに限らず、MOSFETや、さらには、これらFETと同様の電流-電圧($I_{ce}-V_{ce}$)特性を持つバイポーラトランジスタであっても同様の効果を得ることができる。

【0076】なお、入出力整合回路の一部にインピーダンス整合用の抵抗を含んでいてもよい。

【0077】(第1の実施形態の第1変形例)以下、本発明の第1の実施形態の第1変形例について図面を参照しながら説明する。

【0078】図9(a)は第1の実施形態の第1変形例に係る高周波電力増幅器の容量可変回路の回路構成を示し、図9(b)はその等価回路を示している。図9

(a)に示すように、共通接続部において互いに直列に接続された第1のキャパシタ55及び第2のキャパシタ56と、正電極が第3のキャパシタ57を介して共通接続部と接続され、負電極が第4のキャパシタ58を介して接地されたPINダイオード59と、一端がPINダイオード59の正電極と接続され、他端がインピーダンス制御端子32と接続された第1のチョークインダクタ60と、一端がPINダイオード59の負電極と接続され、他端が第2のチョークインダクタ61を介して接地された抵抗62とを有しており、第1のキャパシタ55の共通接続部と反対側の電極は増幅用FET25側に接続され、第2のキャパシタ56の共通接続部と反対側の

電極は接地されている。

【0079】PINダイオード59は、P型半導体とN型半導体との間に絶縁膜が挟まれてなるダイオードであって、1V程度の順バイアスが印加されることによりオン状態となり、0Vが印加されることによりオフ状態となる。

【0080】ここで、使用される周波数帯において、第1のチョークインダクタ60はインピーダンス制御端子32がオープン(開放)にみえ、第2のチョークインダクタ61はGNDがオープン(開放)にみえる程度の値として、PINダイオード59に対してDC(直流)的なバイアス動作を行なえるようにしている。

【0081】抵抗62は数kΩの抵抗値を有し、PINダイオード59の順バイアス時のリーク電流を阻止する。第3のキャパシタ57及び第4のキャパシタ58は使用される周波数帯においてほぼショート(短絡)とみなせる程度の値とし、これらキャパシタ57、58のそれぞれの電極間を高周波的にショートする。

【0082】本変形例においては、図9(b)の等価回路図に示すように、PINダイオード59に、インピーダンス制御端子32を介して1V程度のインピーダンス制御電圧 V_c を印加して該PINダイオード59をオン状態とし、一方、0Vのインピーダンス制御電圧 V_c を印加して該PINダイオード59をオフ状態とすることにより、PINダイオード59にスイッチ59Aの機能を持たせている。

【0083】従って、第1のキャパシタ55の容量値を2.68pFとし、第2のキャパシタ56の容量値を2.52pFとすると、第1の実施形態と同様に、出力電力 P_{out} が25.0dBmで且つアイドル電流 I_{idle} が200mAの場合は、インピーダンス制御電圧 V_c を0VとすればPINダイオード59がオフとなつて、第1のキャパシタ55及び第2のキャパシタ56からなる容量値を最適値である1.30pFとすることができる。

【0084】また、出力電力 P_{out} が22.0dBmで且つアイドル電流 I_{idle} が100mAの場合は、インピーダンス制御電圧 V_c を1VとすればPINダイオード59がオンとなり共通接続部が接地されるため、第1のキャパシタ55の容量値のみで最適値の2.68pFを得ることができる。但し、スイッチ59Aも若干の容量を持つため、実際には第1及び第2のキャパシタ55、56は、この容量を考慮して設計する必要がある。

【0085】なお、図2に示す容量可変回路44には大きな振幅の交流電圧が印加されるため、この大きな電圧振幅に対して歪が生じないようなPINダイオード59を用いることによって、容量可変回路44に生じる歪を無視できる程度に抑えることができる。

【0086】(第1の実施形態の第2変形例)以下、本発明の第1の実施形態の第2変形例について図面を参照

しながら説明する。

【0087】図10(a)は第1の実施形態の第2変形例に係る高周波電力増幅器の容量可変回路の回路構成を示し、図10(b)はその等価回路を示している。図10(a)に示すように、共通接続部において互いに直列に接続された第1のキャパシタ55及び第2のキャパシタ56と、ドレインが共通接続部と接続され、ソースが接地され、ゲートが抵抗65を介してインピーダンス制御端子32と接続されたスイッチ用FET66とを有しており、第1のキャパシタ55の共通接続部と反対側の電極は増幅用FET25側に接続され、第2のキャパシタ56の共通接続部と反対側の電極は接地されている。

【0088】スイッチ用FET66は、ゲートに印加される電圧がしきい値電圧 V_{th} よりも大きい場合にはオン状態となり、しきい値電圧 V_{th} よりも小さい場合にはオフ状態となる。また、抵抗65は数 $k\Omega$ の抵抗値を有し、スイッチ用FET66のゲート側へのリーク電流の流入を阻止する。

【0089】本変形例においては、図10(b)の等価回路図に示すように、例えば、スイッチ用FET66のしきい値電圧 V_{th} を $-1V$ とすると、スイッチ用FET66に、インピーダンス制御端子32を介して $0V$ 程度のインピーダンス制御電圧 V_c を印加して該FET66をオン状態とし、一方、 $-2V$ のインピーダンス制御電圧 V_c を印加して該FET66をオフ状態とすることにより、該FET66にスイッチ66Aの機能を持たせている。

【0090】従って、第1のキャパシタ55の容量値を $2.68pF$ とし、第2のキャパシタ56の容量値を $2.52pF$ とすると、第1変形例と同様に、出力電力 P_{out} が $25.0dBm$ で且つアイドル電流 I_{idle} が $200mA$ の場合は、インピーダンス制御電圧 V_c を $-2V$ とすればスイッチ用FET66がオフとなって、第1のキャパシタ55及び第2のキャパシタ56からなる容量値を最適値である $1.30pF$ とすることができる。

【0091】また、出力電力 P_{out} が $22.0dBm$ で且つアイドル電流 I_{idle} が $100mA$ の場合は、インピーダンス制御電圧 V_c を $0V$ とすればスイッチ用FET66がオンとなり共通接続部が接地されるため、第1のキャパシタ55の容量値のみで最適値の $2.68pF$ を得ることができる。但し、スイッチ66Aも若干の容量を持つため、実際には第1及び第2のキャパシタ55、56は、この容量を考慮して設計する必要がある。

【0092】なお、スイッチ用FET66のドレイン・ソース間に大きな電圧振幅が印加された場合に、この大きな電圧振幅によって歪が生じる可能性がある。そこで、歪が生じないようなしきい値電圧やゲート幅を持つスイッチ用FET66を適当に選ぶことによって、大きな電圧振幅によって生じる歪を無視できる程度に抑えることができる。

【0093】(第2の実施形態)以下、本発明の第2の実施形態について図面を参照しながら説明する。

【0094】図11は本発明の第2の実施形態に係る1段構成の高周波電力増幅器の回路構成を示している。図11において、図2に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図11に示すように、本実施形態においては、出力整合回路40における、制御回路27からのインピーダンス制御電圧 V_c を受けるインピーダンス変更回路が、増幅用FET25の出力側と並列接続されたインダクタンス可変回路43Aにより構成されていることを特徴とする。

【0095】第1の実施形態においては、図2に示す容量可変回路44の容量値を制御することによって負荷インピーダンスを変化させたが、第2のインダクタ43のインダクタ値を制御することによっても負荷インピーダンスを調整でき、具体的には複数のインダクタと該複数のインダクタの接続を変えるスイッチとを組み合わせることによって実現できる。

【0096】図12は、第1の実施形態と同様の設計条件で出力整合回路40を設計する場合の設計用チャートを示しており、図12において、図11に示す構成要素と対応する曲線には同一の符号を付している。図12に示すように、例えば、出力電力 P_{out} を $25.0dBm$ としアイドル電流 I_{idle} を $200mA$ としたときの最適負荷インピーダンス Z_{LoptA} の値が $8.4 + j3.0[\Omega]$ であり、この状態から、出力電力 P_{out} を $22.0dBm$ としアイドル電流 I_{idle} を $100mA$ に変更したときの最適負荷インピーダンス Z_{LoptB} の値を $18.0 + j8.5[\Omega]$ に切り替えるためには、インダクタンス可変回路43Aのインダクタ値を $1.69nH$ から $2.69nH$ に切り替えればよいことが分かる。

【0097】図13(a)は第2の実施形態に係る高周波電力増幅器のインダクタ可変回路の回路構成を示し、図13(b)はその等価回路を示している。図13

(a)、(b)において、図9(a)、(b)に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図13(a)に示すように、共通接続部において互いに直列に接続された第1のインダクタ71及び第2のインダクタ72とを有し、第1のインダクタ71の共通接続部と反対側の電極は増幅用FET25側に接続され、第2のインダクタ72の共通接続部と反対側の電極は接地されている。

【0098】本実施形態によると、第1のインダクタ71のインダクタ値を、 $1.69nH$ とし、第2のインダクタ72のインダクタ値を、 $2.69nH$ と $1.69nH$ との差分である $1.0nH$ とすればよい。

【0099】従って、第1の実施形態と同様に、出力電力 P_{out} が $25.0dBm$ で且つアイドル電流 I_{idle} が $200mA$ の場合は、インピーダンス制御電圧 V_c を $0V$ とすればPINダイオード59がオフとなって、第1

のインダクタ71及び第2のインダクタ72の両インダクタ値を合わせて最適値である2.69nHを得ることができる。

【0100】また、出力電力 P_{out} が22.0dBmで且つアイドル電流 I_{idle} が100mAの場合は、インピーダンス制御電圧 V_c を1VとすればPINダイオード59がオンとなり共通接続部が接地されるため、第1のインダクタ71のインダクタ値のみで最適値の1.69nHを得られる。但し、スイッチ59Aも若干の容量を持つため、実際には第1及び第2のインダクタ71、72は、この容量を考慮して設計する必要がある。

【0101】(第2の実施形態の一変形例)以下、本発明の第2の実施形態の一変形例について図面を参照しながら説明する。

【0102】図14(a)は第1の実施形態の一変形例に係る高周波電力増幅器のインダクタ可変回路の回路構成を示し、図14(b)はその等価回路を示している。図14(a)、(b)において、図10(a)、(b)に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。図14(a)に示すように、共通接続部において互いに直列に接続された第1のインダクタ71及び第2のインダクタ72とを有し、第1のインダクタ71の共通接続部と反対側の電極は増幅用FET25側に接続され、第2のインダクタ72の共通接続部と反対側の電極は接地されている。

【0103】本変形例においても、第1のインダクタ71のインダクタ値を、1.69nHとし、第2のインダクタ72のインダクタ値を、2.69nHと1.69nHとの差分である1.0nHとすればよく、従って、出力電力 P_{out} が25.0dBmで且つアイドル電流 I_{idle} が200mAの場合は、インピーダンス制御電圧 V_c を-2Vとすればスイッチ用FET66がオフとなつて、第1のインダクタ71及び第2のインダクタ72の両インダクタ値を合わせて最適値である2.69nHを得ることができる。

【0104】また、出力電力 P_{out} が22.0dBmで且つアイドル電流 I_{idle} が100mAの場合は、インピーダンス制御電圧 V_c を0Vとすればスイッチ用FET66がオンとなり共通接続部が接地されるため、第1のインダクタ71のインダクタ値のみで最適値の1.69nHを得られる。但し、スイッチ66Aも若干の容量を持つため、実際には第1及び第2のインダクタ71、72は、この容量を考慮して設計する必要がある。

【0105】なお、便宜上、出力電力が25.0dBmの場合とその2分の1の22.0dBmの場合とを説明したが、出力電力の変化のさせ方は多段階であっても、アイドル電流と負荷インピーダンス値とを効率が維持されるように変化させれば同様の効果を得ることができる。

【0106】また、本実施形態においては、電力増幅素

子にGaAs MESFETを用いたが、これに限らず、MOSFETや、さらには、これらFETと同様の電流-電圧($I_{ce}-V_{ce}$)特性を持つバイポーラトランジスタであってもよい。

【0107】(第3の実施形態)以下、本発明の第3の実施形態について図面を参照しながら説明する。

【0108】図15は本発明の第3の実施形態に係る2段構成の高周波電力増幅器の回路構成を示している。図15において、図2に示す構成要素と同一の構成要素には同一の符号を付すことにより説明を省略する。本実施形態の特徴として、図15に示すように、例えば、MESFETやバイポーラトランジスタ等の第1の電力増幅素子25Aと第2の電力増幅素子25Bと、該第1及び第2の電力増幅素子25A、25Bとの間に設けられ、両者のインピーダンスの整合をとる段間結合回路80と、終段の第2の電力増幅素子25Bのアイドル電流の電流量を制御すると共に、該アイドル電流の電流量に応じて出力整合回路40の負荷インピーダンスの値を変更する制御回路27とを備えているため、出力電力を変更したとしても常に高効率を維持できる。

【0109】なお、多段構成の高周波電力増幅器の場合は、その出力電力は、最終段の増幅素子の消費電流が支配的であり、図15に示す初段の第1の電力増幅素子25Aの消費電力は終段の第2の電力増幅素子25Bの出力電力に比べて大幅に小さいため、第2の電力増幅素子25Bに対して本発明の制御を行えば十分な効果を得られる。

【0110】また、本実施形態においては電力増幅素子を2段構成としたが、3段以上の電力増幅素子を有する高周波電力増幅器であってもよい。

【0111】また、第2の電力増幅素子25B及び出力整合回路40と同時に、第1の電力増幅素子25Aのアイドル電流を変化させ、その変化した電流量に応じて段間結合回路80のインピーダンスの値を変更すると、効率をさらに高くできることはいうまでもない。

【0112】

【発明の効果】本発明の第1及び第2の高周波電力増幅器によると、電力増幅素子におけるアイドル電流の電流量を制御するだけでなく、該アイドル電流の変更量に応じて出力整合回路のインピーダンス特性をも制御すれば、効率を維持したまま消費電力を低減することができる。

【0113】第1及び第2の高周波電力増幅器において、制御回路が、電力増幅素子におけるアイドル電流の電流量と出力整合回路の回路定数とを調整すると、アイドル電流の電流量の変化に応じて出力整合回路のインピーダンス特性を変更できるため、例えば、所定量の出力電力を低減する際に、アイドル電流の減少分に見合うように負荷インピーダンスを増加させると効率がほとんど低下しない。

【0114】第1及び第2の高周波電力増幅器において、制御回路が、電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って出力整合回路のインピーダンス値の実部を大きくする一方、アイドル電流の電流量を増加させる際には電流量の増加に伴って出力整合回路のインピーダンス値の実部を小さくすると、アイドル電流の電流量を減少させて出力電力を低減させる場合に、効率を低下させないようにできる。

【0115】第1及び第2の高周波電力増幅器において、制御回路が、電力増幅素子におけるアイドル電流の電流量を減少させる際には電流量の減少に伴って電力増幅素子に対する負荷線の傾きの絶対値を小さくする一方、アイドル電流の電流量を増加させる際には電流量の増加に伴って負荷線の傾きの絶対値を大きくすると、アイドル電流の電流量を減少させて出力電力を減少させる場合に、効率を低下させないようにできる。

【0116】第1及び第2の高周波電力増幅器において、出力整合回路が、並列接続された可変容量素子を含み、該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していると、アイドル電流の減少分に見合うように負荷インピーダンスのインピーダンス値を増加させることができる。

【0117】第1及び第2の高周波電力増幅器において、出力整合回路が、互いに直列に接続された複数の容量素子と、一端が容量素子同士の接続部に接続され、他端が接地されたスイッチ素子とを含み、該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していると、アイドル電流の減少分に見合うように負荷インピーダンスのインピーダンス値を増加させることができる。

【0118】第1及び第2の高周波電力増幅器において、出力整合回路が、互いに直列に接続された複数のインダクタと、一端がインダクタ同士の接続部に接続され、他端が接地されたスイッチ素子とを含み、該出力整合回路のインピーダンスの値を変更するためのインピーダンス変更回路を有していると、アイドル電流の減少分に見合うように負荷インピーダンスのインピーダンス値を増加させることができる。

【図面の簡単な説明】

【図1】本発明に係る高周波電力増幅器の電流－電圧特性であって、高効率を維持しながら出力電力を低減する方法を示すグラフである。

【図2】本発明の第1の実施形態に係る1段構成の高周波電力増幅器を示す回路図である。

【図3】本発明の第1の実施形態に係る高周波電力増幅器における出力整合回路の負荷インピーダンスを変更する方法を示す設計用チャートである。

【図4】(a)は本発明の第1の実施形態に係る高周波電力増幅器における出力整合回路の負荷インピーダンスに対する利得及びドレイン電流の関係を示すグラフであ

る。(b)は本発明の第1の実施形態に係る高周波電力増幅器における出力整合回路の負荷インピーダンスに対する電力付加効率及び隣接チャンネル漏洩電力の関係を示すグラフである。

【図5】本発明の第1の実施形態に係る高周波電力増幅器における出力整合回路の負荷インピーダンスに対する各高周波特性を従来の高周波電力増幅器と比較した一覧表である。

【図6】本発明の第1の実施形態に係る高周波電力増幅器における入力整合回路の最適インピーダンスを求める設計用チャートである。

【図7】本発明の第1の実施形態に係る高周波電力増幅器における出力整合回路の最適インピーダンスを求める設計用チャートである。

【図8】本発明の第1の実施形態に係る高周波電力増幅器における出力整合回路の容量可変回路を示す回路図である。

【図9】本発明の第1の実施形態の第1変形例に係る高周波電力増幅器における出力整合回路の容量可変回路を示す回路図である。

【図10】本発明の第1の実施形態の第2変形例に係る高周波電力増幅器における出力整合回路の容量可変回路を示す回路図である。

【図11】本発明の第2の実施形態に係る1段構成の高周波電力増幅器を示す回路図である。

【図12】本発明の第2の実施形態に係る高周波電力増幅器における出力整合回路の最適インピーダンスを求める設計用チャートである。

【図13】本発明の第2の実施形態に係る高周波電力増幅器における出力整合回路のインダクタ可変回路を示す回路図である。

【図14】本発明の第2の実施形態の一変形例に係る高周波電力増幅器における出力整合回路のインダクタ可変回路を示す回路図である。

【図15】本発明の第3の実施形態に係る2段構成の高周波電力増幅器を示す回路図である。

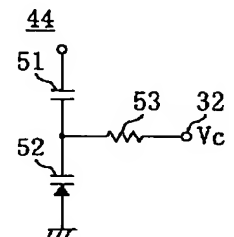
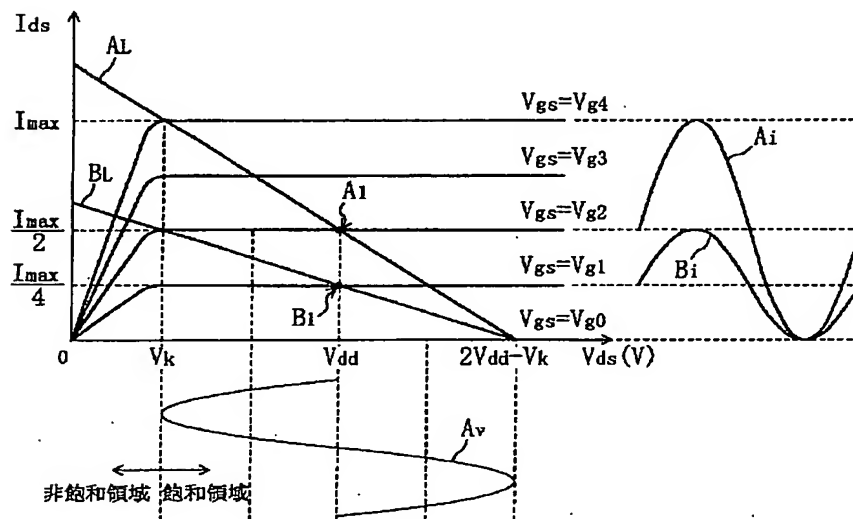
【図16】従来の高周波電力増幅器を示す回路図である。

【図17】FETの電流－電圧(I_{ds} － V_{ds})特性を示すグラフである。

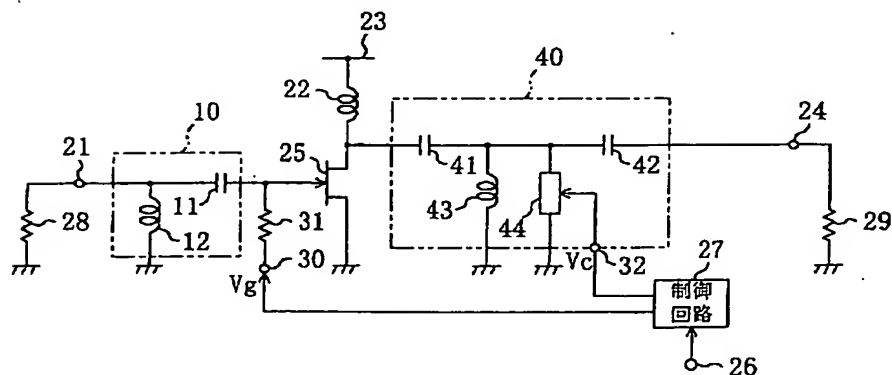
【符号の説明】

10	入力整合回路
11	第1のキャパシタ
12	第1のインダクタ
21	入力端子
22	チョークインダクタ
23	電源端子
24	出力端子
25	増幅用FET
25A	第1の電力増幅素子

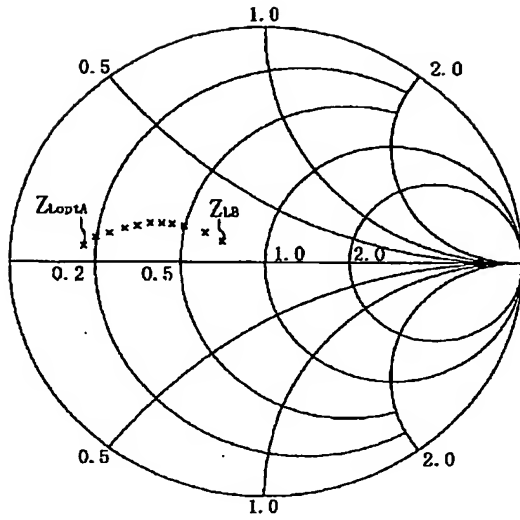
- 【図 8】



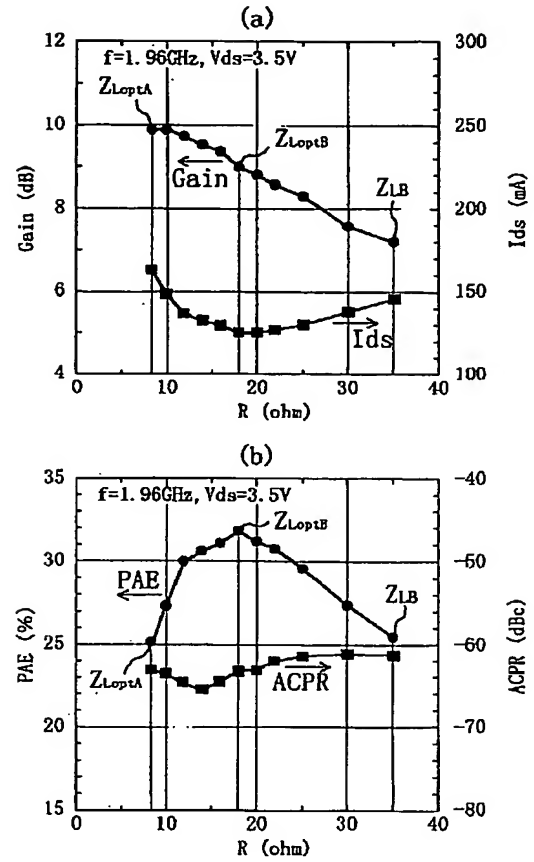
【図2】



【図 3】



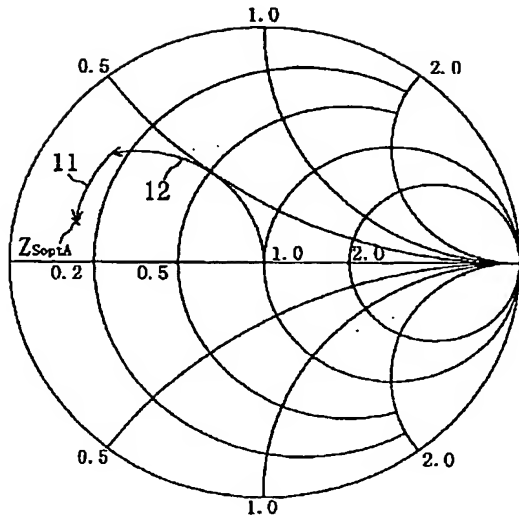
【図 4】



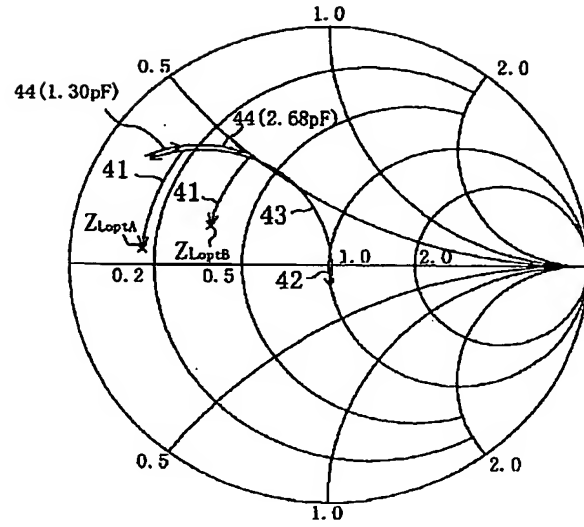
【図 5】

Pout (dBm)	Iidle (mA)	ZL (Ω)	Gain (dB)	Ids (mA)	PAE (%)	ACPR (dBc)
25.0	200	8.4+j3.0	10.2	246.8	32.9	-60.8
22.0	100	18.0+j8.6	9.0	125.4	31.8	-63.4
22.0	100	8.4+j3.0	9.9	163.6	25.1	-63.2

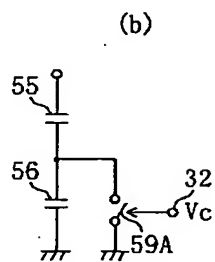
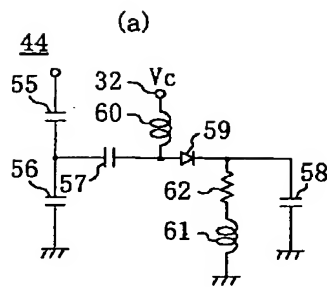
【図 6】



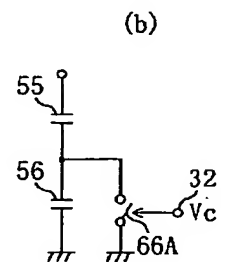
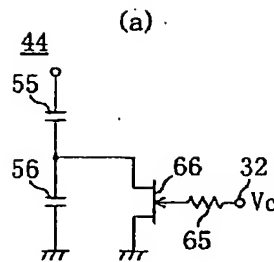
【図 7】



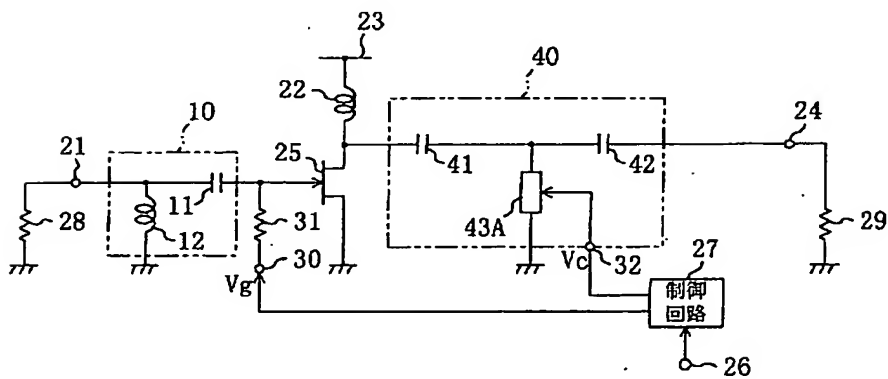
【図 9】



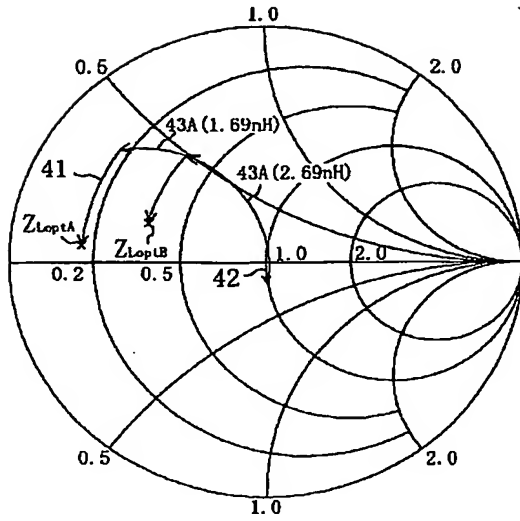
【図 10】



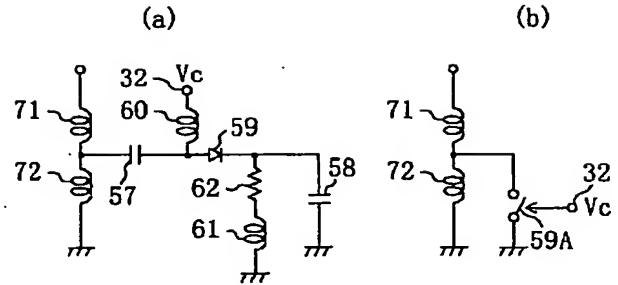
【図 11】



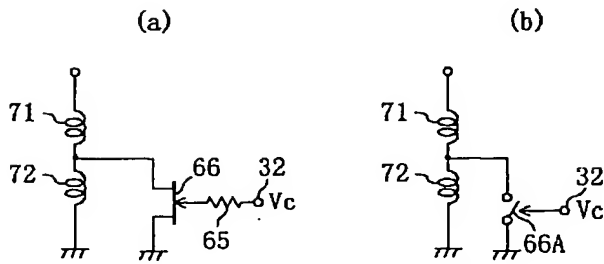
【図 12】



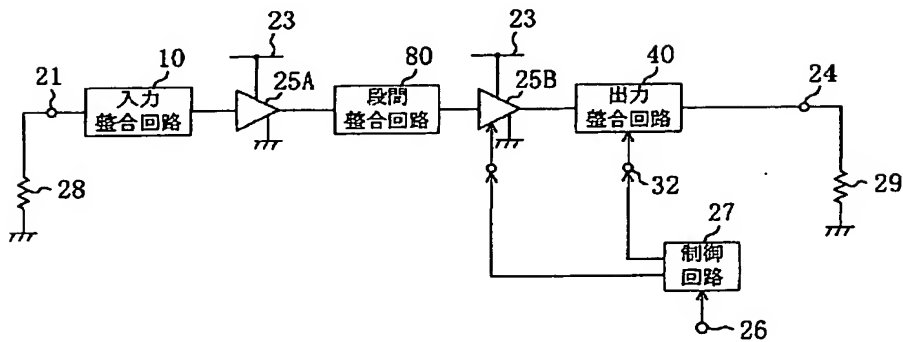
【図 13】



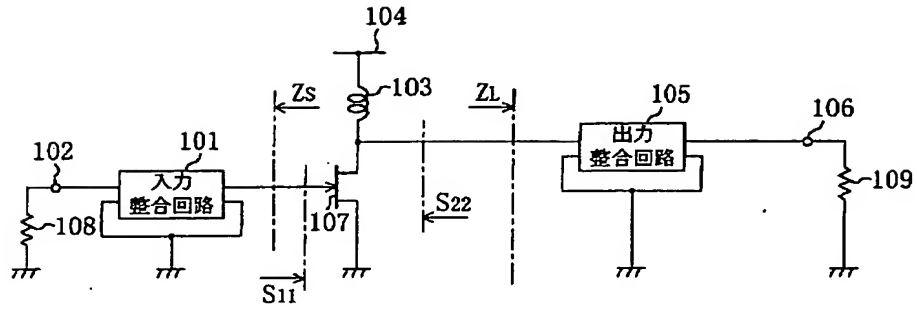
【図 14】



【図 15】



【図 16】



【図 17】

